

Best Available Copy

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-095913  
(43)Date of publication of application : 08.04.1994

(51)Int.Cl. G06F 11/28

(21)Application number : 04-266547

(71)Applicant : HITACHI LTD  
HITACHI MICOM SYST:KK

(22)Date of filing : 09.09.1992

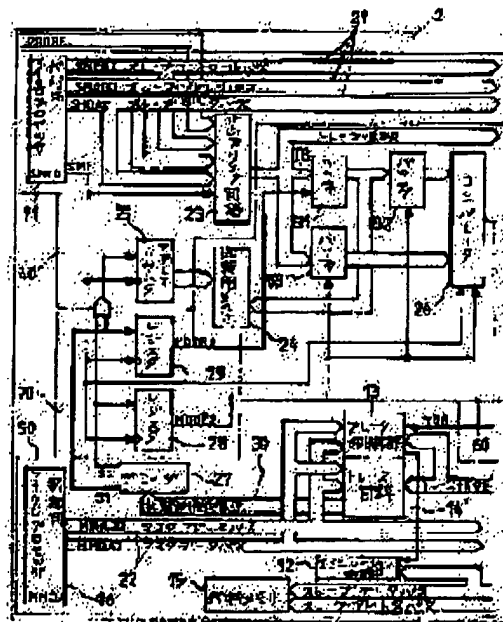
(72)Inventor : KATAGATA KOJI  
FURUIDO ATSUSHI  
USUHA HIDEYUKI

(54) DEBUGGING DEVICE

(57)Abstract:

PURPOSE: To improve the debugging efficiency of a defect with low reproducibility like malfunction due to a noise or the like.

CONSTITUTION: This debugging device is provided with a comparing memory 24 and a comparator 26 for comparing data stored in the memory 24 with a signal on a slave bus at real time. The 1st I/O signal specified by a tracing condition or the like is stored in the memory 24 and the contents previously stored in the memory 24 are compared with the 2nd tracing information or after in each cycle, so that the debugging efficiency of a defect with low reproducibility can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-95913

(43) 公開日 平成6年(1994)4月8日

(51) Int.Cl.<sup>5</sup>

G 0 6 F 11/28

識別記号

庁内整理番号

3 0 5 A 9290-5B

F I

技術表示箇所

審査請求 未請求 請求項の数3(全 8 頁)

(21) 出願番号 特願平4-266547

(22) 出願日 平成4年(1992)9月9日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立マイコンシステム

東京都小平市上水本町5丁目22番1号

(72) 発明者 片方 浩二

東京都小平市上水本町5丁目22番1号 株

式会社日立マイコンシステム内

(72) 発明者 古井戸 敦

東京都小平市上水本町5丁目22番1号 株

式会社日立マイコンシステム内

(74) 代理人 弁理士 玉村 静世

最終頁に続く

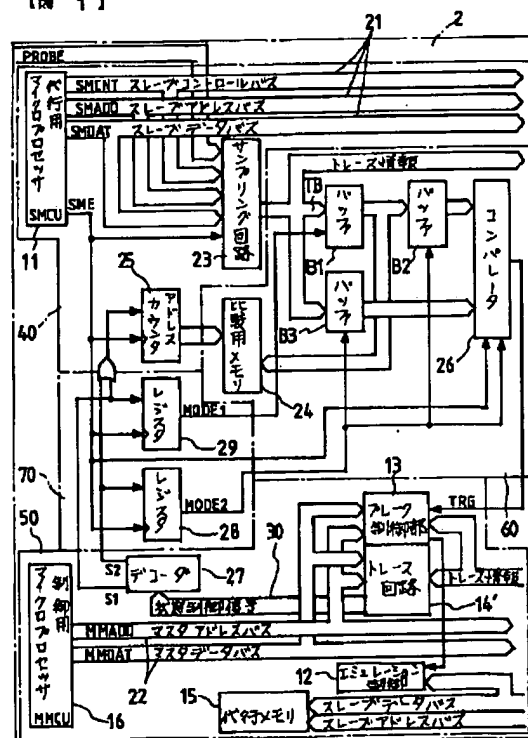
(54) 【発明の名称】 デバッグ装置

(57) 【要約】

【目的】 本発明の目的は、ノイズ等による誤動作等のように、再現性の低い不良に対するデバッグ効率を向上させることにある。

【構成】 比較用メモリ24と、それに格納されたデータとスレーブバス上の信号とをリアルタイムで比較するコンパレータ26とを設け、トレース条件等で指定した第1回目の入出力信号を比較用メモリ24に格納しておいて、2回目以降のトレース情報と、先に比較用メモリ24に格納しておいた内容とを毎サイクルごとに比較することによって、再現性の低い不良に対するデバッグ効率向上を図る。

【図 1】



## 【特許請求の範囲】

【請求項1】 ターゲットシステムに搭載されるマイクロプロセッサと同等のプロセッサにソフトウェアデバッグ対象とされるターゲットプログラムを実行させながらその実行過程の情報を収集することにより、上記ターゲットシステム上で動作するソフトウェアの開発支援を可能とするデバッグ装置において、上記プロセッサによるターゲットプログラム実行中に、ターゲットプログラム実行過程の情報をサンプリングするためのサンプリング手段と、このサンプリング手段によってサンプリングされたデータを保持する記憶手段と、この記憶手段に格納されたデータとその後のターゲットプログラム実行過程のサンプリングデータとを比較するための比較手段とを含むことを特徴とするデバッグ装置。

【請求項2】 上記記憶手段には、上記ターゲットプログラム実行中に予め指定しておいた範囲の第1回目のサンプリングデータが期待値として格納され、上記比較手段は、2回目以降のプログラム実行過程のサンプリングデータと上記記憶手段のデータとを比較する請求項1記載のデバッグ装置。

【請求項3】 上記比較手段の比較結果に基づいて、上記プロセッサのエミュレーション動作を停止させるためのブレイク制御回路を含む請求項1又は2項記載のデバッグ装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、デバッグ対象とされるプログラムのデバッグを可能とするデバッグ装置に関し、例えばインサーキット・エミュレータに適用して有効な技術に関する。

## 【0002】

【従来の技術】マイクロプロセッサ応用機器の開発において、その応用システムのデバッグやそのシステムの詳細な評価を行うため、インサーキット・エミュレータが使用されている。インサーキット・エミュレータは、ソフトウェア開発用の親計算機（ホストコンピュータ）などのシステム開発装置と、開発中の応用機器との間に接続され、その応用機器に含まれるマイクロプロセッサ（ターゲットマイクロプロセッサ）の機能を代行する一方でデバッガとしての機能を持ち、詳細なシステムデバッグを支援する。このようなインサーキット・エミュレータにおいては、応用機器側のハードウェアおよびソフトウェアの評価を可能とする手段として、ターゲットマイクロプロセッサのプログラム実行を停止させるブレイク機能の他に、ターゲットマイクロプロセッサのプログラム実行結果をターゲットマイクロプロセッサのマシナサイクル単位に記憶し参照する機能すなわちトレース機能を備えたものがある。

【0003】ところで、従来のエミュレータ・システムでは、上記ブレイク機能を実現するため、ブレイク条件

設定用レジスタとコンパレータとを設け、予め条件設定用レジスタにエミュレーション用マイクロプロセッサのアドレス信号やデータ信号、コントロール信号その他任意の信号状態の組合せをブレイク条件として設定し、条件が一致したところでプログラムの実行を停止させるようにしている。

【0004】なお、インサーキット・エミュレータについて記載された文献の例としては、昭和63年10月1日に日立マイクロコンピュータエンジニアリング株式会社より発行された「日立マイコン技法（第2巻、第2号、P21～P27）」がある。

## 【0005】

【発明が解決しようとする課題】しかしながら、上記トレース機能を駆使したシステムデバッグにおいてプログラムの実行を記憶し、それを参照しても、デバッグ対象となる応用機器の不良現象がある程度明確にならなければ、デバッグのためのブレイク条件の設定をが行うことができない。また、ノイズ等による誤動作や、タイミング不良などのように再現性の低い不良については、いつ不良が発生するのか予測できないため、不良発生時のサンプリングデータを記録することが困難である。そのためノイズ等による誤動作、タイミング不良等再現性の低い不良等に対するデバッグ効率が悪く、結果的に、デバッグのために多大な時間を費やしてしまう。

【0006】本発明の目的は、ノイズ等による誤動作等のように、再現性の低い不良に対するデバッグ効率を向上させることにある。

【0007】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

## 【0008】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0009】すなわち、プロセッサによるターゲットプログラム実行中に、ターゲットプログラム実行過程の情報をサンプリングするためのサンプリング手段と、このサンプリング手段によってサンプリングされたデータを保持する記憶手段と、この記憶手段に格納されたデータとその後のターゲットプログラム実行過程のサンプリングデータとを比較するための比較手段とを含んでデバッグ装置を構成するものである。上記記憶手段に、上記ターゲットプログラム実行中に予め指定しておいた範囲の第1回目のサンプリングデータが期待値として格納されるとき、上記比較手段は、2回目以降のプログラム実行過程のサンプリングデータと上記記憶手段のデータとを比較するように構成することができる。また、上記比較回路の比較結果に基づいて、上記プロセッサのエミュレーション動作を停止させるためのブレイク制御回路を含めることができる。

10

20

30

40

50

## 【0010】

【作用】上記した手段によれば、上記比較手段によってサンプリングデータと、記憶手段の記憶内容とを比較することは、予めブレイク条件を設定しなくとも代行マイクロプロセッサによってプログラムを繰り返し実行させたときにサンプリングデータの不一致の検出を可能とし、このことが、再現性の低い不良に対するデバッグ効率の向上を達成する。

## 【0011】

【実施例】まず、本発明に係るデバッグ装置を一例として図3に示すようなインサークット・エミュレータに適用した場合の代行用マイクロプロセッサと制御用マイクロプロセッサとの関係について簡単に説明する。

【0012】図2に示されるように、インサークット・エミュレータ2は、親計算機1と、応用機器3との間に配置される。インサークット・エミュレータ2と親計算機1とはシリアル回線バスラインによって結合され、インサークット・エミュレータ2と応用機器3とはインタフェースケーブル4によって結合される。

【0013】図3には上記インサークット・エミュレータ2の比較的詳細な構成が示される。

【0014】図3において、11はマイクロプロセッサ応用機器（ユーザ実機）に含まれるターゲットマイクロプロセッサの機能を代行してその応用機器の動作制御すなわちエミュレーションを行うための代行用マイクロプロセッサであり、16は各種デバッグ機能を達成するための制御を司る制御用マイクロプロセッサである。

【0015】代行用マイクロプロセッサ11が応用機器上のターゲットマイクロプロセッサの機能を代行制御（エミュレーション）するとき、代行用マイクロプロセッサ11は制御用マイクロプロセッサ16の制御から切り離され、また、代行用マイクロプロセッサ11の制御動作状態が予め定められている状態に到達してブレイクされるとき、制御用マイクロプロセッサ16の制御を受けることになる。このような制御状態の切り換えがエミュレーション制御部12によって行われる。

【0016】上記エミュレータ本体2には、このエミュレーション制御部12、ブレイク制御部13、トレースメモリ部14、代行メモリ部15などが含まれ、エミュレーション機能やブレイク機能、トレース機能等のデバッグ機能が備えられている。尚、特に制限されないが、エミュレーション制御部12、ブレイク制御部13、トレースメモリ部14、代行メモリ部15の各回路は、スレーブバス21を介して代行用マイクロプロセッサ11に、またマスタバス22を介して制御用マイクロプロセッサ16に接続されている。各機能の実行は、エミュレータ本体2に接続される親計算機1によってコントロールされる。

【0017】エミュレータ本体2内には、制御用マイクロプロセッサ16が親計算機1との間でデータ通信を行

うためのシリアルインタフェース回路17が設けられている。また、代行用マイクロプロセッサ11からはインタフェース回路18を介してインタフェースケーブル4が延長され、このインタフェースケーブル4の先端に設けられているプラグがマイクロプロセッサ応用機器としてのユーザ実機上のMCUソケット5に接続されることによって、代行用マイクロプロセッサ11によるユーザ実機の代行制御が可能とされる。

【0018】図1には本発明を適用したインサークット・エミュレータの詳細な構成が示される。

【0019】この実施例のインサークット・エミュレータ2におけるトレース機能は、特に制限されないが、代行用マイクロプロセッサ11が上記代行制御中のスレーブバス21（アドレスバス、スレーブデータバス、スレーブコントロールバスを含む）上の信号、その他任意の信号を代行用マイクロプロセッサ11のシステムクロックSMEに同期してサンプリングし、このサンプリングされた信号をトレースバスTBを介してトレースメモリ部14内のメモリに書き込むことにより実行される。

【0020】トレース回路14'は、図示されないが、サンプリングデータを格納するRAM（ランダム・アクセス・メモリ）と、制御用マイクロプロセッサ16の制御から切り離されたエミュレーション時にトレースメモリのアドレスを順次発生するアドレスカウンタ、および、プログラム実行中のトレース状態をリアルタイムに出力する回路等を備え、ブレイク制御部13は、ブレイク条件やトレース開始、終了等の条件を設定するための複数のレジスタと、このレジスタの内容とスレーブバス上の信号すなわちトレース情報とを比較する比較手段としてのコンパレータを備えている。尚、図3の回路では図1のトレース回路14'にサンプリング回路23を含ませたものをトレースメモリ部14としている。

【0021】この実施例のインサークット・エミュレータ2では、ラッチもしくはレジスタからなるサンプリング回路23によってスレーブバス21上からサンプリングされたトレース情報を格納するトレース回路14'の他に、サンプリングされた情報を転送可能な比較用メモリ24と、この比較用メモリ24を代行用マイクロプロセッサ11の動作と同期してアクセスするためのアドレスカウンタ25と、比較用メモリ24に格納された情報と上記サンプリング回路23によって実時間でサンプリングされている情報とを比較し、それらが不一致の場合に、検出信号をアサートするコンパレータ26とが設けられている。そして、この検出信号がトリガ信号TRGとしてブレイク制御部13に供給され、ユーザ実機の代行制御を停止させることができるようになっている。

【0022】比較用メモリ24へのトレース情報の転送は、代行用マイクロプロセッサ11の実行中に行われる。そのため、比較用メモリ24のアドレス入力端子は、システムクロックSMEに同期した上記アドレス

カウンタ25に接続されており、データ入出力端子はバッファB2を介して上記コンパレータ26に接続されている。そして、上記トレース回路14'からの指令によって比較モードを設定するためのデコーダ27と同期化用のレジスタ28、29とが設けられている。つまり、トレース回路14'から出力される状態制御信号30により、コンパレータ26による比較を開始させることができる。

【0023】図1の実施例のインサートキット・エミュレータ2は大きく分けて、代行用マイクロプロセッサ11とサンプリング回路23とアドレスカウンタ25とよりなる第1制御回路40、制御用マイクロプロセッサ16やデコーダ27等よりなる第2制御回路50、比較用メモリ24とバッファB1、2、3とコンパレータ26よりなるトリガ発生回路60、レジスタ28、29からなる同期回路70の4つの回路部分で構成されている。

【0024】上記第1制御回路40は、ターゲットマイクロプロセッサの代行動作を行う代行用マイクロプロセッサ11のシステムクロックSMEに同期して、自分自身のスレーブアドレス信号SMADDや、スレーブデータ信号SMDAT、スレーブコントロール信号SMCNT、その他ユーザ実機上からプローブ19（図3に記載）によって抽出される任意の信号PROBEをサイクル単位でサンプリングしてトレースバスTB上に出力する。

【0025】上記第2制御回路50は、制御用マイクロプロセッサ16から各回路の制御のためアドレス信号MMADD、データ信号MMDAT、コントロール信号MCMCNTを出力する機能を有する。また、プログラム実行中のトレース状態（指定範囲のトレース開始、終了、第1回目又は2回目以降のトレース等）を示す状態制御信号を発生させるとともに、それをデコーダ27によって解読して制御信号S1、S2を形成し、それを同期回路70のレジスタ28、29へ供給する。

【0026】トリガ発生回路60は、比較用データを書き込んでおくための比較用メモリ24を有し、比較用メモリ24の読み書きを制御するためバッファB1、B2、B3を有する。バッファB1、B2、B3の制御は、同期回路70にて生成されたモード信号MODE1、2によって行われる。まず、モード信号MODE1がアサートされると、バッファB1が開放された状態となり、代行用マイクロプロセッサ11のシステムクロックSMEにより、サイクル単位にカウントされるアドレスカウンタ25の出力がアドレス入力として比較用メモリ24に供給され、比較用メモリ24へ第1回目のサンプリングデータが書込まれる。次に、モード信号MODE2がアサートされると、バッファB2が開放された状態となり、代行用マイクロプロセッサ11のシステムクロックSMEにより、サイクル単位にカウントされるアドレスカウンタ25の出力がアドレス入力として比較用メモリ24に供給され、バッファB2からその比較用メモリ2

4の連続した内容が順番に取り出されてコンパレータ26に供給される。このコンパレータ26の他方の入力端子には、第1制御回路40にてサンプリングされた信号がバッファB3を介して入力されるため、このコンパレータ26によってトレース情報の比較がサイクル単位に行われる。ターゲットプログラムの実行が正常である場合には、コンパレータ26での比較対象とされる両信号は常に一致する。しかし、動作異常の場合には、両信号は不一致となるから、それがコンパレータ26で判別されることによって、動作異常の判別が可能とされる。コンパレータ26での比較において、両信号が不一致であると判断された場合には、トリガ信号TRGがアサートされることにより、エミュレーション動作を停止するためのブレークが可能とされる。

【0027】尚、上記実施例のエミュレータでは、インタフェース回路が省略されているが、図3と同様に代行用マイクロプロセッサ11にはインタフェース回路18を介してケーブル4が、またマスタバス22にはシリアルインタフェース回路17がそれぞれ接続される。上記実施例のエミュレータにおいては、トレース回路14'に書込まれた情報を制御用マイクロプロセッサ16の制御のもとで参照することによって、代行用マイクロプロセッサ11の代行制御中のトレース情報を知ることができる。

【0028】上記実施例によれば以下の作用効果が得られる。

【0029】（1）トレース用メモリとは別個に比較用メモリ24と、該メモリに格納されたデータとスレーブバス上の信号とをリアルタイムで比較するコンパレータ26とを、代行マイクロプロセッサ11を有するエミュレータ内に設け、先ず、代行マイクロプロセッサ11でプログラムを実行させ、トレース条件等で指定した第1回目の入出力信号（アドレス信号、データ信号、コントロール信号、その他任意の信号）を比較用メモリ24に格納しておいて、トレース条件等で指定した2回目以降のトレース情報（代行マイクロプロセッサ11の各入出力信号）と、先に比較用メモリ24に格納しておいた内容とを毎サイクルごとに比較して、一致しなかった場合にブレークのためのトリガ信号をアサートさせるようにしたので、予めブレーク条件を設定しなくてもよい。

【0030】（2）代行マイクロプロセッサ11によってプログラムを繰り返し実行させたときに入出力信号の不一致が生じるとコンパレータ26から不一致信号が出力されるので、その信号をトリガ信号としてブレーク処理、トレースの停止処理等の処理を起動させることにより、再現性の低い異常動作の検出が可能となるので、それによって例えばノイズ等によるハードウェアの誤動作、変数参照時の誤りによるソフトウェアの誤動作の検出が可能になる。

【0031】（3）また、誤動作発生まではブレークさ

れないため、トレースメモリの容量不足などにより誤動作発生時のトレースデータが記録されていないなどの不具合が無くなり、確実に誤動作発生状態を記憶し参照することができるため、誤動作要因の解析を容易に行うことができ、プログラムデバッグの効率向上を図る上で、極めて有効とされる。

【0032】(4)トレースデータの期待値を外部記憶装置に保存しておき、ターゲットプログラムの実行終了後にトレース内容と、この外部記憶装置内の期待値とを比較する方式や、トレースRAMを2系統設け、それに第1回目のトレース内容、第2回目のトレース内容をそれぞれ記憶するようにしてターゲットプログラムの実行終了後に当該RAMの記憶内容を比較する方式が考えられるが、その場合には、どうしてもエミュレーション動作を停止しなければ、トレース結果の比較が行えない。そに対して、上記実施例では、第2回目以降のエミュレーション動作においてリアルタイムにトレースデータの比較が可能とされるから、デバッグ効率向上のために、極めて有効とされる。

【0033】以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0034】例えば、システムクロックのサイクル単位で比較を行なっているがこのクロックを変えることで比較処理の分解能を変えることができる。また、トレースデータ中で比較対象としないデータをマスクすることにより、すなわち、コンパレータ26での比較を部分的に行うようにしてもよいし、トレースデータの相違部がコンパレータ26で複数回検出された時点でブレイクするようにしてもよい。さらに、トレースメモリ内から前回のトレース情報を読出し、それをコンパレータ26に供給してスレーブバス上からサンプリングされた信号と比較するようにしてもよい。

【0035】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるシステム開発装置に使用されるインサートキットエミュレータに適用したものについて説明したが、この発明はそれに限定されるものでなく、ロジックアナライザのようなデバッグツールその他エミュレーション機能を有するデータ処理システムに利用することができる。

【0036】本発明は、少なくともターゲットプログラムのデバッグを行うことを条件に適用することができる。

【0037】

【発明の効果】本願において開示される発明のうち代表

的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0038】すなわち、予めブレイク条件を設定しなくとも代行マイクロプロセッサによってプログラムを繰り返し実行させたときにサンプリングデータの不一致が生じるとコンパレータから不一致信号が出力されるので、その信号をトリガ信号としてブレイク処理を停止させることができ、それによって再現性の低い不良の検出が可能とされるので、デバッグの効率の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例であるインサートキット・エミュレータの詳細な構成ブロック図である。

【図2】上記インサートキット・エミュレータが適用されるシステム開発装置の全体の構成ブロック図である。

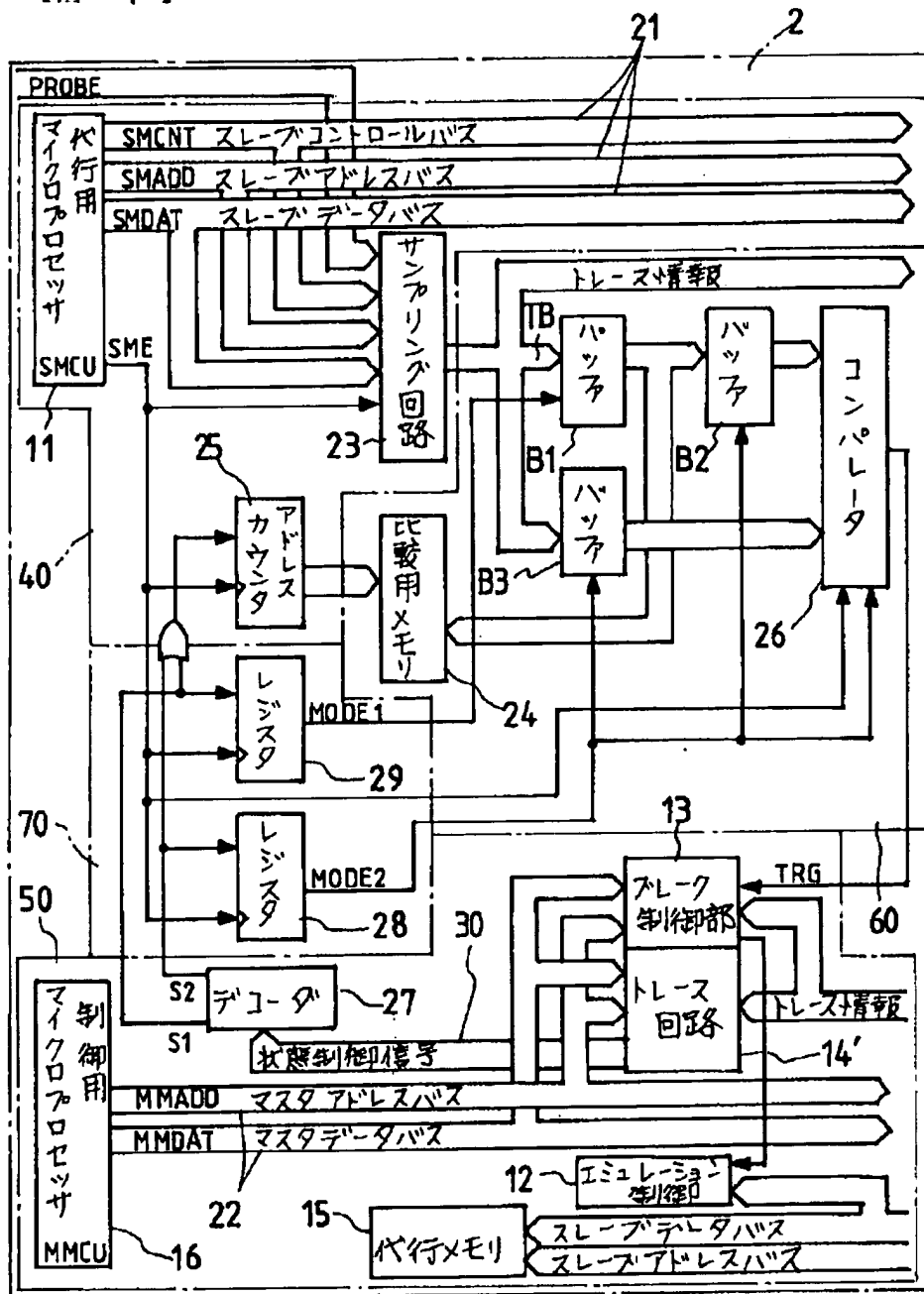
【図3】上記インサートキット・エミュレータの比較の詳細な構成ブロック図である。

【符号の説明】

- 1 親計算機
- 2 インサートキット・エミュレータ
- 3 応用機器
- 4 インタフェースケーブル
- 5 ソケット
- 11 代行用マイクロプロセッサ
- 12 エミュレーション制御部
- 13 ブレイク制御部
- 14 トレースメモリ部
- 14' トレース回路
- 15 代行メモリ部
- 16 制御用マイクロプロセッサ
- 17 シリアルインタフェース
- 18 インタフェース部
- 19 プローブ
- 21 スレーブバス
- 22 マスタバス
- 23 サンプリング回路
- 24 比較用メモリ
- 25 アドレスカウンタ
- 26 コンパレータ
- 27 デコーダ
- 28 レジスタ
- 29 レジスタ
- 40 第1制御回路
- 50 第2制御回路
- 60 トリガ発生回路
- 70 同期回路

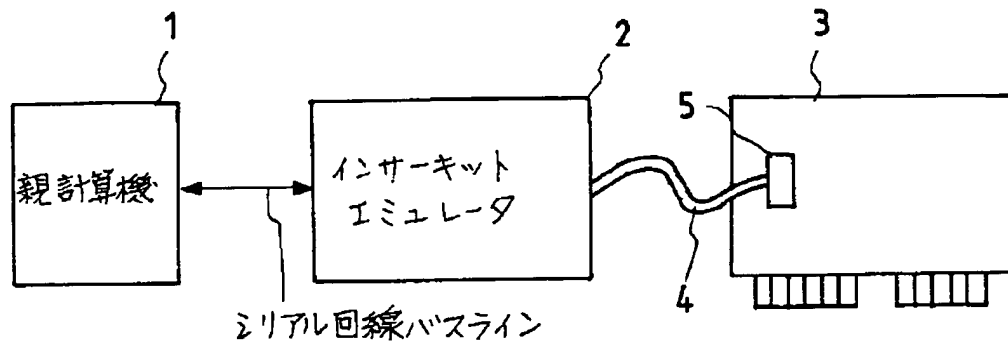
【図1】

【図 1】



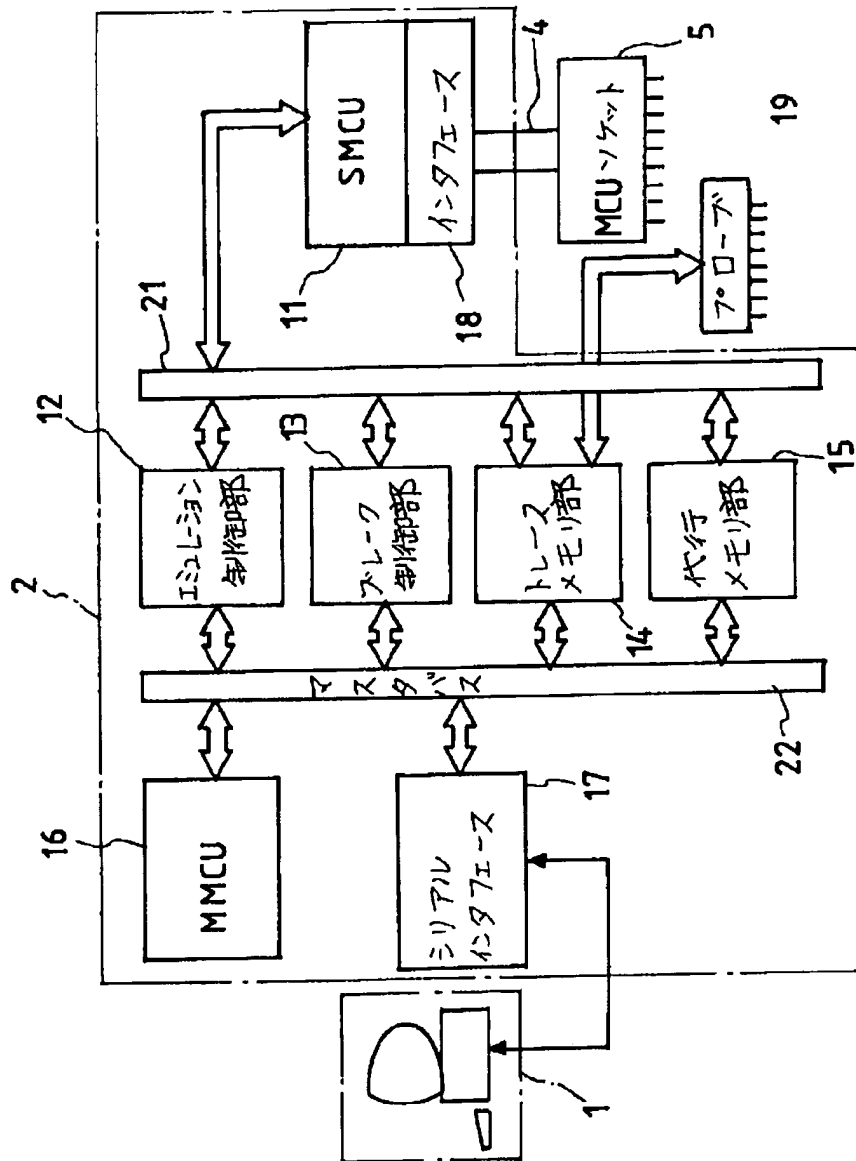
【図2】

【図2】



【図3】

【図 3】



フロントページの続き

(72)発明者 薄葉 英幸

東京都小平市上水本町5丁目20番1号 株  
式会社日立製作所武蔵工場内